

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009564

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.	H03G	3/10
	H03F	1/22
	H03G	1/04

(21)Application number : 2000-189784 (71)Applicant : SONY CORP

(22)Date of filing : 23.06.2000 (72)Inventor : KUSUNOKI SHIGEO
HATSUYA MASANAGA

(54) GAIN CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a gain controller with less power consumption ease of miniaturizing and suitable for circuit integration that can keep a shift in a passing phase nearly constant over a gain variable range.

SOLUTION: The gain controller is provided with a cascode amplifier circuit consisting of a 1st field effect transistor TR1 of common source connection and of a 2nd field effect transistor TR2 whose source is connected to a drain of the 1st field effect transistor TR1 and whose gate receives a gain control signal with an input matching circuit Min that is connected between an input terminal of a high frequency input signal and the gate of the 1st field effect transistor TR1 and can realize an impedance at which the gain is maximized and with an output matching circuit Mph that is connected between the drain of the 2nd field effect transistor TR2 and an output signal of a high frequency output signal and provides an impedance when viewed from the drain of the 2nd field effect transistor TR2 to have a value by which a phase shift of the passing high frequency signal is nearly made constant within a variable voltage range of the gain control signal.

CLAIMS

[Claim(s)]

[Claim 1] A variable gain system comprising:

A cascode amplifier which consists of the 2nd field effect transistor by which source is

connected to a drain of the 1st field effect transistor of a grounded source and this 1st field effect transistor and a gain control signal is supplied to a gate.

An input matching circuit which can realize impedance which gives the profit maximum connected between an input terminal of a high frequency input signal and a gate of the 1st field effect transistor of the above.

In the variable voltage range of the above-mentioned gain control signal impedance which it was connected between a drain of the 2nd field effect transistor of the above and an output terminal of a high frequency output signal and was faced from the drain side of this 2nd field effect transistor. An output matching circuit which phase deviation of a high frequency signal to pass set as a value used as approximately regulated.

[Claim 2] A variable gain system comprising:

A field effect transistor of a grounded source.

An input matching circuit which can realize impedance which gives the profit maximum connected between an input terminal of a high frequency input signal and a gate of this field effect transistor.

A power control means to which voltage impressed to a drain of the above-mentioned field effect transistor is changed according to a control signal.

An output matching circuit which phase deviation of a high frequency signal which impedance which it was connected between a drain of the above-mentioned field effect transistor and an output terminal of a high frequency output signal and was faced from the drain side of this field effect transistor passes in the variable voltage range of the above-mentioned control signal set as a value used as approximately regulated.

[Claim 3] A variable-gain-control device characterized by coming to constitute the above-mentioned power control means by a DC-DC converter in the variable-gain-control device according to claim 2.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a variable gain device especially the variable gain device into which the profit of the high frequency signal was changed.

[0002]

[Description of the Prior Art] Research and development are prosperous in the necessity for gain control that the variation of a profit can be set up widely in the field of a phased array antenna for example holding the deviation quantity of passing

phases to approximately regulated. That is when amending the phase contrast and amplitude difference of an input signal resulting from the difference between many antennas or many received paths the device which can set pass loss (or profit) to passing phases independently in a receive section is needed.

[0003] The number of use of a present personal digital assistant is increasing explosively and it is expected that the use of the receiving terminal of not only a mere voice call means but contents distribution an Internet access terminal etc. is expanded focusing on data communications from now on. Being in change of such the directions for a personal digital assistant the low power consumption of a terminal becomes increasingly important. In the parts used at a terminal the parts with the largest power consumption are high-frequency power amplifiers.

The low power consumption of the high-frequency power amplifier is an important technical problem.

[0004] In this high-frequency power amplifier that distortion compensation is also an important technical problem. The compensation of a power amplifier needs to compensate amplitude distortion and phase distortion according to each. In this case at the time of amplitude compensation the deviation quantity of a phase is approximately regulated and as for amplitude (pass loss) it is desirable at the time of compensation of a phase that it is approximately regulated.

[0005] As literature in which a Prior art is shown as an example 1998 and IEICE Trans. and Vol. E81-C and No. 1 January There are pp. 70-77 and "An MMIC Variable-Gain Amplifier Using a Cascode-Connected FET with Constant Phase Deviation."

[0006] The circuitry of the gain control shown in this literature is shown in drawing 5. The gain control of this conventional example is proposed for [which is used for the signal reception from a satellite] phased array antennas.

It is the example of development which thought the miniaturization as important.

[0007] In drawing 5 CSF and CGF show common source FET and (Common Source FET) common gate FET (Common Gate FET) respectively. The cascode circuit consists of these FET (field effect transistor) CSF and CGF. And he is trying to attain broadband-ization by connecting the feedback circuit which comprises a series circuit of the coil L4 and the capacitor C3 between the gate of FET CSF and the drain of FET CGF.

[0008] The deviation quantity of passing phases is controlled by providing FET C-FET for control. Vc is the voltage of gain control. Vb and Vs are the control voltage for determining the optimal operating point of FET C-FET for control.

[0009] The input terminal T9 into which the high frequency input signal RFin is inputted is connected to the gate of FET CSF through the capacitor C1 and the coil L3 one by one. The connecting middle point of the capacitor C1 and the coil L3 is grounded through the coil L2 and the capacitor C2 one by one.

[0010]The connecting middle point (the control voltage V_b is impressed) of the coil L2 and the capacitor C2 is connected to the source of FET C-FET for control through the resistor R3. Between the gate of FET C-FET for control and source and a drain the resistor R4 and R5 are connected respectively. The resistor R7 is impressed to the control voltage V_s by passage by the drain of FET C-FET.

[0011]The gate (the voltage V_c of gain control is impressed) of FET CGF is grounded through the capacitor C5 and the resistor R6 is connected between the gate of FET CGF and the drain of FET C-FET for control.

[0012]The drain of FET CGF is grounded through the series circuit of the coil L5 and the capacitor C6 and it is connected to the output terminal T10 in which the high frequency output signal R_{out} is outputted through the capacitor C4.

[0013]

[Problem(s) to be Solved by the Invention]Since no less than four pieces are both using the coil as if three FET is used the gain control of the conventional example of this drawing 5 is difficult to miniaturize. If it is going to adopt the gain control of this conventional example as a portable telephone for example the occupation area of the coil to the at most 2 GHz high frequency currently used with the portable telephone will become large. Since three sorts of control voltage are needed there is a problem said that the control method is complicated.

[0014]In view of this point this invention can cover the variable range of a profit can hold the deviation quantity of passing phases to approximately regulated there is little power consumption is easy to miniaturize and tends to propose the suitable gain control for an IC form.

[0015]

[Means for Solving the Problem]A variable gain system the 1st this invention is characterized by that comprises the following.

A cascode amplifier which consists of the 2nd field effect transistor by which source is connected to the 1st field effect transistor of a grounded source and a drain of the 1st field effect transistor and a gain control signal is supplied to a gate.

An input matching circuit which can realize impedance which gives the profit maximum connected between an input terminal of a high frequency input signal and a gate of the 1st field effect transistor.

In the variable voltage range of a gain control signal impedance which it was connected between a drain of the 2nd field effect transistor and an output terminal of a high frequency output signal and was faced from the drain side of the 2nd field effect transistor An output matching circuit which phase deviation of a high frequency signal to pass set as a value used as approximately regulated.

[0016]According to the 1st this invention a gain control signal is supplied to a gate of the 2nd field effect transistor it is controlled by profit and by an input matching circuit. Impedance which gives the profit maximum is realized and phase deviation of a high

frequency signal which impedance faced from the drain side of the 2nd field effect transistor of an output matching circuit passes in the variable voltage range of a gain control signal is set as a value used as approximately regulated.

[0017] A variable gain system the 2nd this invention is characterized by that comprises the following.

A field effect transistor of a grounded source.

An input matching circuit which can realize impedance which gives the profit maximum connected between an input terminal of a high frequency input signal and a gate of the field effect transistor.

A power control means to which voltage impressed to a drain of a field effect transistor is changed according to a control signal.

An output matching circuit which phase deviation of a high frequency signal which impedance which it was connected between a drain of a field effect transistor and an output terminal of a high frequency output signal and was faced from the drain side of the field effect transistor passes in the variable voltage range of a control signal set as a value used as approximately regulated.

[0018]

[Embodiment of the Invention] Below with reference to drawings an example of the gain control of an embodiment of the invention is explained in detail. First the composition of an example of gain control is explained with reference to drawing 1. TR1 and TR2 are the 1st and 2nd FET (field effect transistor) that constitutes a cascode amplifier. The output side of the input matching circuit Min which can realize impedance which gives the profit maximum to the 1st gate of FET TR1 of a grounded source is connected. The high frequency input signal RFin from the input terminal T2 is inputted into the gate of FET TR1 through this input matching circuit Min. The bias voltage Vgg is impressed to the gate of FET TR1 via the resistor R2.

[0019] The 2nd source of FET TR2 is connected to the drain of FET TR1. A control signal Vct1 of the low frequency wave from the input terminal T1 is impressed to the gate of FET TR2 via the resistor R1 and a profit is made to change. The input side of the output matching circuit Mph is connected to the drain of FET TR2 and the output terminal T4 in which the high frequency signal RFout is outputted is drawn from this matching circuit Mph.

[0020] In the range of the voltage of control signal Vct1 the phase deviation of the high frequency signal which passes gain control sets the impedance faced from the drain side of FET TR2 of this output matching circuit Mph as the value used as approximately regulated. Via the coil L1 for bias voltage connects the positive terminal of the power supply E of Vdd to the drain of FET TR2 and grounds the negative terminal to it.

[0021] Next operation of the gain control circuit of drawing 1 is explained. The high frequency input signal RFin from the input terminal T2 is outputted as the high

frequency output signal R_{Fout} from the output terminal T4 through the input matching circuit MinFET TR1TR2 and the output matching circuit Mph. A profit ($=R_{Fout}/R_{Fin}$) is controlled according to the pressure value of control signal V_{tt1} added to the gate of FET TR2. Although the passing phases of a high frequency signal are also changed by a profit at this time it depends for the deviation quantity of these passing phases on the impedance of the output matching circuit Mph connected to the drain of FET TR2. Deviation quantity is fixed using this impedance *****.

[0022] Next drawing 3 is explained. This drawing 3 the quantity of profit change of the gain control which the deviation quantity of passing phases is the conditions held within 1 time and changes the voltage of control signal V_{ct1} and is attained. The example of what was shown to the value of the impedance of the output matching circuit Mph connected to the drain of FET TR2, i.e. a load pull is shown. FET TR2 used for measurement is GaAs pHEMT and the gate width is 250 micrometers.

[0023] It turns out that it depends on the impedance of the output matching circuit Mph linked to the drain of FET TR2 for the profit range changed holding the passing phases of this cascode amplifier within 1 time so that drawing 3 may show. In this example profit change of a maximum of 7 dB is attained.

[0024] The characteristic figure of the deviation quantity A of the passing phases of gain control to the voltage of control signal V_{ct1} when load impedance is set as the $10+j25$ (ω) neighborhood and the gain change B is shown in drawing 4. When the voltage ranges of control signal V_{ct1} are 1.5(V) – 2.3(V) profit change is understood that the deviation quantity of about 7 dB and passing phases is held in general within 1 time.

[0025] Next with reference to drawing 2 the composition of other examples of the gain control of an embodiment of the invention is explained. The gate bias voltage V_{gg} is impressed to the gate of FET TR3 of a grounded source through the resistor R22. The output side of the input matching circuit Min which can realize impedance which gives the profit maximum is connected to the gate of FET TR3. And the high frequency input signal R_{Fin} from the input terminal T6 is impressed to the gate of FET TR3 through this matching circuit Min.

[0026] The power control means PSC to which the voltage impressed to the drain of FET TR3 may be changed according to the change of potential of control signal V_{ct1} is connected to the drain. This power control means PSC for the common mode input terminal of the operational amplifier OPA by which in-phase amplification connection was made. Control signal V_{ct1} from the input terminal T5 is supplied. The output side of the operational amplifier OPA is connected to the base of bipolar transistor TR4 as a current boost. Voltage connects the positive terminal of the power supply E of V_{dd} to the collector of transistor TR4 and the negative terminal is grounded. The emitter of transistor TR4 is connected to the opposite phase input terminal of the operational amplifier OPA and it connects with the drain of FET TR3 via the resistor R21.

[0027] In the same variable voltage range of control signal V_{ct1} as drawing 1 the input

side of the output matching circuit Mph which holds the deviation quantity of passing phases to approximately regulated is connected to the drain of FET TR3 and the output terminal T8 in which a high frequency output signal is outputted from the output side is derived.

[0028] Next operation of the gain control circuit of drawing 2 is explained. The profit of grounded source FET TR3 changes with drain impressed electromotive force. The profit of this gain control is controlled by voltage of control signal Vct1. The value of the load impedance of the output matching circuit Mph connected to the drain of FET TR3 can be set as a value which holds the deviation quantity of passing phases to approximately regulated when the variability region of a profit is set as 5 dB – about 7 dB.

[0029] The modification of the gain control circuit of drawing 2 is explained. As the power control means PSC of the gain control circuit of drawing 2a DC-DC converter is employable. With the control signal from the outside since output voltage can be set up arbitrarily the DC-DC converter can use it as a power control means.

[0030]

[Effect of the Invention] According to the 1st this invention source is connected to the 1st field effect transistor of a grounded source and the drain of the 1st field effect transistor. The cascode amplifier which consists of the 2nd field effect transistor by which a gain control signal is supplied to a gate. The input matching circuit which can realize impedance which gives the profit maximum connected between the input terminal of a high frequency input signal and the gate of the 1st field effect transistor. In the variable voltage range of a gain control signal the impedance which it was connected between the drain of the 2nd field effect transistor and the output terminal of a high frequency output signal and was faced from the drain side of the 2nd field effect transistor. Since the phase deviation of the high frequency signal to pass has the output matching circuit set as the value used as approximately regulated the variable range of a profit can be covered the deviation quantity of passing phases can be held to approximately regulated there is little power consumption a miniaturization is easy and the suitable variable gain system for an IC form can be obtained.

[0031] The input matching circuit which can realize impedance which gives the profit maximum connected between the field effect transistor of a grounded source the input terminal of a high frequency input signal and the gate of the field effect transistor according to the 2nd this invention. The power control means to which the voltage impressed to the drain of a field effect transistor is changed according to a control signal. In the variable voltage range of a control signal the impedance which it was connected between the drain of a field effect transistor and the output terminal of a high frequency output signal and was faced from the drain side of the field effect transistor. Since the phase deviation of the high frequency signal to pass has the output matching circuit set as the value used as approximately regulated the variable range of a profit can be covered the deviation quantity of passing phases can be held

to approximately regulated there is little power consumption a miniaturization is easy and the suitable variable gain system for an IC form can be obtained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a circuit diagram showing an example of the gain control of an embodiment of the invention.

[Drawing 2] It is a circuit diagram showing other examples of the gain control of an embodiment of the invention.

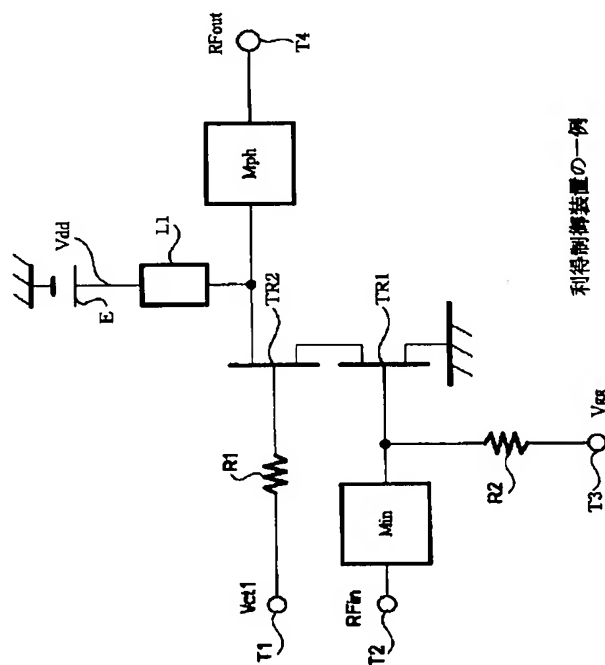
[Drawing 3] It is a figure showing the load pull of the gain control of drawing 1.

[Drawing 4] It is a characteristic figure of a gain change and passing phases to the control voltage of the gain control of drawing 1.

[Drawing 5] It is a circuit diagram showing the conventional gain control.

[Description of Notations]

The 1st and 2nd FET and Min which constitute TR1 and TR2 cascode amplifier An input matching circuit and Mph FET of an output matching circuit and TR3 grounded source and PSC A power control means an OPA operational amplifier and TR4 [Bipolar transistor.]



【特許請求の範囲】

【請求項1】 ソース接地の第1の電界効果トランジスタ及び該第1の電界効果トランジスタのドレインにソースが接続され、ゲートに利得制御信号が供給される第2の電界効果トランジスタからなるカスコード増幅回路と、

高周波入力信号の入力端子及び上記第1の電界効果トランジスタのゲート間に接続された、利得最大を与えるインピーダンスを実現し得る入力整合回路と、

上記第2の電界効果トランジスタのドレインと高周波出力信号の出力端子との間に接続され、該第2の電界効果トランジスタのドレイン側から臨んだインピーダンスが、上記利得制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定となる値に設定した出力整合回路とを有することを特徴とする可変利得装置。

【請求項2】 ソース接地の電界効果トランジスタと、高周波入力信号の入力端子及び該電界効果トランジスタのゲート間に接続された、利得最大を与えるインピーダンスを実現し得る入力整合回路と、

上記電界効果トランジスタのドレインに印加される電圧を、制御信号に応じて変化させる電源制御手段と、上記電界効果トランジスタのドレインと高周波出力信号の出力端子との間に接続され、該電界効果トランジスタのドレイン側から臨んだインピーダンスが、上記制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定となる値に設定した出力整合回路とを有することを特徴とする可変利得装置。

【請求項3】 請求項2に記載の可変利得制御装置において、

上記電源制御手段は、DC-DCコンバータにより構成されてなることを特徴とする可変利得制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は利得可変装置、特に高周波信号の利得を可変するようにした利得可変装置に関する。

【0002】

【従来の技術】 通過位相の偏移量を略一定に保持しつつ、利得の変化量を広く設定できる利得制御装置の必要性は、例えば、フェーズドアレイアンテナの分野で研究開発が盛んである。すなわち、多くのアンテナあるいは、多くの受信経路の違いに起因する、受信信号の位相差と振幅差を補正する場合に、受信部にて、通過位相と通過損失（あるいは利得）を別々に設定できる装置が必要となる。

【0003】 現今の携帯端末の利用台数は爆発的に増加しており、今後は、データ通信を中心に、単なる音声通話手段のみならず、コンテンツ配信の受信端末やインターネットアクセス端末等の用途が拡大することが予想される。このような、携帯端末の使用方法の変化にあっ

て、端末の低消費電力化はますます重要となってくる。端末で使用される部品のなかで、最も消費電力の大きい部品は、高周波電力増幅器であり、その高周波電力増幅器の低消費電力化は重要な課題である。

【0004】 また、この高周波電力増幅器では、その歪み補償も重要な課題である。電力増幅器の歪補償は、振幅歪及び位相歪を各別に補償する必要がある。この場合、振幅補償時には位相の偏移量は略一定であり、また、位相の補償時には、振幅（通過損失）は略一定であることが望ましい。

【0005】 従来の技術を示す文献としては、一例として、1998年、IEICE Trans., Vol. E81-C, No. 1 January、pp. 70-77、"An MMIC Variable-Gain Amplifier Using a Cascode-Connected FET with Constant Phase Deviation"がある。

【0006】 この文献に示されている利得制御装置の回路構成を、図5に示す。この従来例の利得制御装置は、衛星からの信号受信に用いる、フェーズドアレイアンテナ用に提案されているものであり、小型化を重視した開発例である。

【0007】 図5において、CSF及びCGFは、それぞれコモンソースFET (Common Source FET) 及びコモンゲートFET (Common Gate FET)を示し、これらFET（電界効果トランジスタ）CSF、CGFにて、カスコード回路を構成している。そして、FET CSFのゲート及びFET CGFのドレイン間に、コイルL4及びコンデンサC3の直列回路から構成される帰還回路を接続することによって、広帯域化を図るようにしている。

【0008】 また、制御用FET CFETを設けることによって、通過位相の偏移量を抑制している。Vcは利得制御の電圧である。Vb、Vsは、制御用FET CFETの最適な動作点を決定するための制御電圧である。

【0009】 高周波入力信号Rfinが入力される入力端子T9が、コンデンサC1及びコイルL3を順次に通じて、FET CSFのゲートに接続される。コンデンサC1及びコイルL3の接続中点は、コイルL2及びコンデンサC2を順次に通じて、接地される。

【0010】 コイルL2及びコンデンサC2の接続中点（制御電圧Vbが印加される）が、抵抗器R3を通じて、制御用FET CFETのソースに接続される。制御用FET CFETのゲート及びソース間並びにゲート及びドレイン間に、それぞれ抵抗器R4、R5が接続される。FET CFETのドレインに、抵抗器R7を通じて、制御電圧Vsが印加される。

【0011】 FET CGFのゲート（利得制御の電圧Vcが印加される）が、コンデンサC5を通じて接地されると共に、FET CGFのゲートと、制御用FET CFETのドレインとの間に、抵抗器R6が接続さ

れる。

【0012】FET CGFのドレインが、コイルL5及びコンデンサC6の直列回路を通じて接地されると共に、コンデンサC4を通じて、高周波出力信号RFoutの出力される出力端子T10に接続される。

【0013】

【発明が解決しようとする課題】この図5の従来例の利得制御装置は、FETを3個使用すると共に、コイルを4個も使用しているため、小型化が困難である。この従来例の利得制御装置を、例えば、携帯電話機に採用しようとする、携帯電話機で使用されている高々2GHzの高周波に対するコイルの占有面積が広がってしまう。更に、制御電圧を3種必要とするため、制御方法が複雑である、と言う問題がある。

【0014】かかる点に鑑み、本発明は、利得の可変範囲に亘って、通過位相の偏移量を略一定に保持することができ、消費電力が少なく、小型化が容易で、IC化に好適な利得制御装置を提案しようとするものである。

【0015】

【課題を解決するための手段】第1の本発明は、ソース接地の第1の電界効果トランジスタ及びその第1の電界効果トランジスタのドレインにソースが接続され、ゲートに利得制御信号が供給される第2の電界効果トランジスタからなるカスコード増幅回路と、高周波入力信号の入力端子及び第1の電界効果トランジスタのゲート間に接続された、利得最大を与えるインピーダンスを実現し得る入力整合回路と、第2の電界効果トランジスタのドレインと高周波出力信号の出力端子との間に接続され、その第2の電界効果トランジスタのドレイン側から臨んだインピーダンスが、利得制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定となる値に設定した出力整合回路とを有する可変利得装置である。

【0016】第1の本発明によれば、第2の電界効果トランジスタのゲートに利得制御信号が供給されて利得が制御され、入力整合回路によって、利得最大を与えるインピーダンスが実現され、出力整合回路の第2の電界効果トランジスタのドレイン側から臨んだインピーダンスが、利得制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定となる値に設定される。

【0017】第2の本発明は、ソース接地の電界効果トランジスタと、高周波入力信号の入力端子及びその電界効果トランジスタのゲート間に接続された、利得最大を与えるインピーダンスを実現し得る入力整合回路と、電界効果トランジスタのドレインに印加される電圧を、制御信号に応じて変化させる電源制御手段と、電界効果トランジスタのドレインと高周波出力信号の出力端子との間に接続され、その電界効果トランジスタのドレイン側から臨んだインピーダンスが、制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定とな

る値に設定した出力整合回路とを有する可変利得装置である。

【0018】

【発明の実施の形態】以下に、図面を参照して、本発明の実施の形態の利得制御装置の一例を詳細に説明する。先ず、図1を参照して、利得制御装置の一例の構成を説明する。TR1、TR2は、カスコード増幅回路を構成する第1及び第2のFET（電界効果トランジスタ）である。ソース接地の第1のFET TR1のゲートに、利得最大を与えるインピーダンスを実現し得る入力整合回路Minの出力側を接続する。入力端子T2からの高周波入力信号RFinを、この入力整合回路Minを通じて、FET TR1のゲートに入力する。FET TR1のゲートには、抵抗器R2を介してバイアス電圧V_{gg}を印加する。

【0019】FET TR1のドレインに、第2のFET TR2のソースを接続し、FET TR2のゲートに、入力端子T1よりの低周波の制御信号V_{ct1}を、抵抗器R1を介して印加して、利得を可変させる。FET TR2のドレインに、出力整合回路Mphの入力側を接続し、この整合回路Mphより、高周波信号RFoutの出力される出力端子T4が導出される。

【0020】この出力整合回路MphのFET TR2のドレイン側より臨んだインピーダンスを、制御信号V_{ct1}の電圧の範囲において、利得制御装置を通過する高周波信号の位相偏移が略一定となる値に設定する。FET TR2のドレインには、バイアス用コイルL1を介して、電圧がV_{dd}の電源Eの正端子を接続し、その負端子を接地する。

【0021】次に、図1の利得制御回路の動作を説明する。入力端子T2よりの高周波入力信号RFinは、入力整合回路Min、FET TR1、TR2及び出力整合回路Mphを通じて、出力端子T4より高周波出力信号RFoutとして出力される。FET TR2のゲートに加えられる制御信号V_{ct1}の電圧値に応じて、利得（＝RFout/RFin）が制御される。このとき、高周波信号の通過位相も利得により変動するが、この通過位相の偏移量は、FET TR2のドレインに接続される出力整合回路Mphのインピーダンスに依存する。このインピーダンス依存性を利用して、偏移量を一定にする。

【0022】次に、図3を説明する。この図3は、通過位相の偏移量が1度以内に保持される条件で、制御信号V_{ct1}の電圧を変化させて達成される利得制御装置の利得変動の量を、FET TR2のドレインに接続される出力整合回路Mphのインピーダンスの値に対して示したもの、すなわちロードプルの例を示す。測定に用いたFET TR2は、GaAs pHEMTであり、そのゲート幅は250μmである。

【0023】図3から分かるように、本カスコード増幅

器の通過位相を1度以内に保持しつつ可変できる利得範囲は、FET TR2のドレインに接続する出力整合回路Mphのインピーダンスに依存することがわかる。この例では、最大7dBの利得変動が達成されている。

【0024】図4に、負荷インピーダンスを、 $10+j25(\Omega)$ 付近に設定したときの、制御信号Vct1の電圧に対する利得制御装置の通過位相の偏移量Aと、利得変化Bとの特性図を示す。制御信号Vct1の電圧範囲が、1.5(V)～2.3(V)のとき、利得変動は約7dB、通過位相の偏移量は概ね1度以内に保持されているのが分かる。

【0025】次に、図2を参照して、本発明の実施の形態の利得制御装置の他の例の構成を説明する。ソース接地のFET TR3のゲートに、抵抗器R22を通じて、ゲートバイアス電圧Vggを印加する。また、利得最大を与えるインピーダンスを実現し得る入力整合回路Minの出力側をFET TR3のゲートに接続する。そして、入力端子T6からの高周波入力信号RFinを、この整合回路Minを通じて、FET TR3のゲートに印加する。

【0026】FET TR3のドレインに印加する電圧を、制御信号Vct1の電圧の変化に従って変化させ得る電源制御手段PSCを、そのドレインに接続する。この電源制御手段PSCは、同相増幅接続された演算増幅器OPAの同相入力端子に、入力端子T5からの制御信号Vct1を供給し、演算増幅器OPAの出力側を、電流ブースタとしてのバイポーラトランジスタTR4のベースに接続し、トランジスタTR4のコレクタに電圧がVddの電源Eの正端子を接続し、その負端子を接地する。トランジスタTR4のエミッタを、演算増幅器OPAの逆相入力端子に接続すると共に、抵抗器R21を介してFET TR3のドレインに接続する。

【0027】FET TR3のドレインに、図1と同様の、制御信号Vct1の可変電圧範囲において、通過位相の偏移量を略一定に保持する出力整合回路Mphの入力側を接続し、その出力側より高周波出力信号が出力される出力端子T8を導出する。

【0028】次に、図2の利得制御回路の動作を説明する。ソース接地FET TR3の利得は、ドレイン印加電圧で変化する。この利得制御装置の利得は、制御信号Vct1の電圧によって制御される。FET TR3のドレインに接続される出力整合回路Mphの負荷インピーダンスの値は、利得の変化範囲を5dB～7dB程度に設定した場合、通過位相の偏移量を略一定に保持するような値に設定することが可能である。

【0029】図2の利得制御回路の変形例を説明する。図2の利得制御回路の電源制御手段PSCとして、DC-DCコンバータを採用することができる。DC-DCコンバータは、出力電圧を外部からの制御信号により、

任意に設定可能であるので、電源制御手段として利用することができる。

【0030】

【発明の効果】第1の本発明によれば、ソース接地の第1の電界効果トランジスタ及びその第1の電界効果トランジスタのドレインにソースが接続され、ゲートに利得制御信号が供給される第2の電界効果トランジスタからなるカスコード増幅回路と、高周波入力信号の入力端子及び第1の電界効果トランジスタのゲート間に接続された、利得最大を与えるインピーダンスを実現し得る入力整合回路と、第2の電界効果トランジスタのドレインと高周波出力信号の出力端子との間に接続され、その第2の電界効果トランジスタのドレイン側から臨んだインピーダンスが、利得制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定となる値に設定した出力整合回路とを有するので、利得の可変範囲に亘って、通過位相の偏移量を略一定に保持することができ、消費電力が少なく、小型化が容易で、IC化に好適な可変利得装置を得ることができる。

【0031】第2の本発明によれば、ソース接地の電界効果トランジスタと、高周波入力信号の入力端子及びその電界効果トランジスタのゲート間に接続された、利得最大を与えるインピーダンスを実現し得る入力整合回路と、電界効果トランジスタのドレインに印加される電圧を、制御信号に応じて変化させる電源制御手段と、電界効果トランジスタのドレインと高周波出力信号の出力端子との間に接続され、その電界効果トランジスタのドレイン側から臨んだインピーダンスが、制御信号の可変電圧範囲において、通過する高周波信号の位相偏移が略一定となる値に設定した出力整合回路とを有するので、利得の可変範囲に亘って、通過位相の偏移量を略一定に保持することができ、消費電力が少なく、小型化が容易で、IC化に好適な可変利得装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の利得制御装置の一例を示す回路図である。

【図2】本発明の実施の形態の利得制御装置の他の例を示す回路図である。

【図3】図1の利得制御装置のロードブルを示す図である。

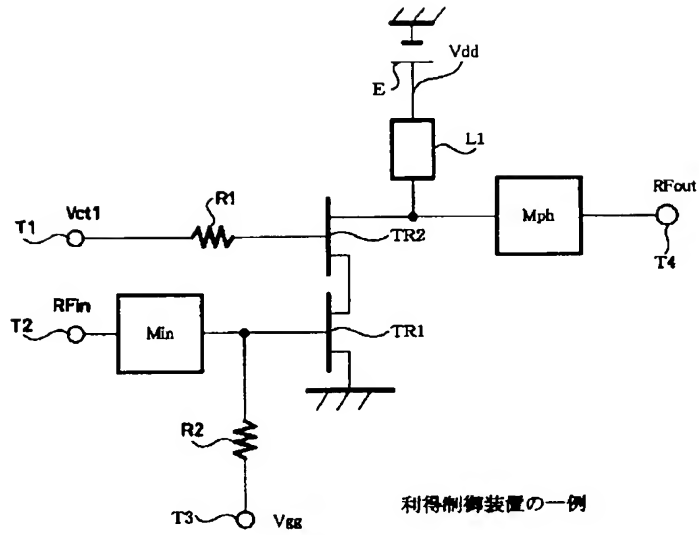
【図4】図1の利得制御装置の制御電圧に対する利得変化と通過位相の特性図である。

【図5】従来の利得制御装置を示す回路図である。

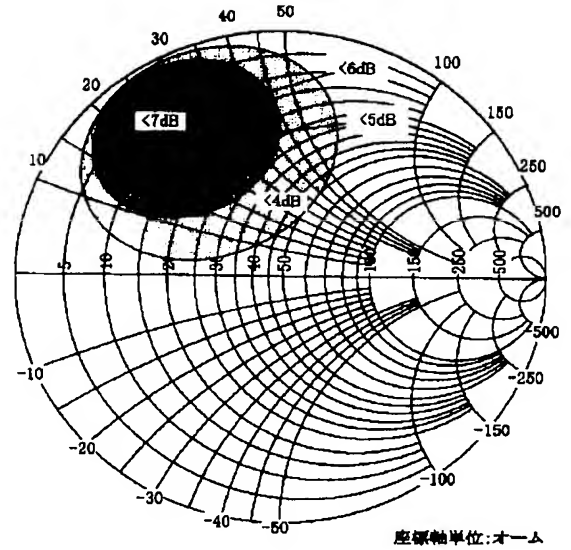
【符号の説明】

TR1、TR2 カスコード増幅回路を構成する第1及び第2のFET、Min 入力整合回路、Mph 出力整合回路、TR3 ソース接地のFET、PSC 電源制御手段、OPA 演算増幅器、TR4 バイポーラトランジスタ。

【図1】

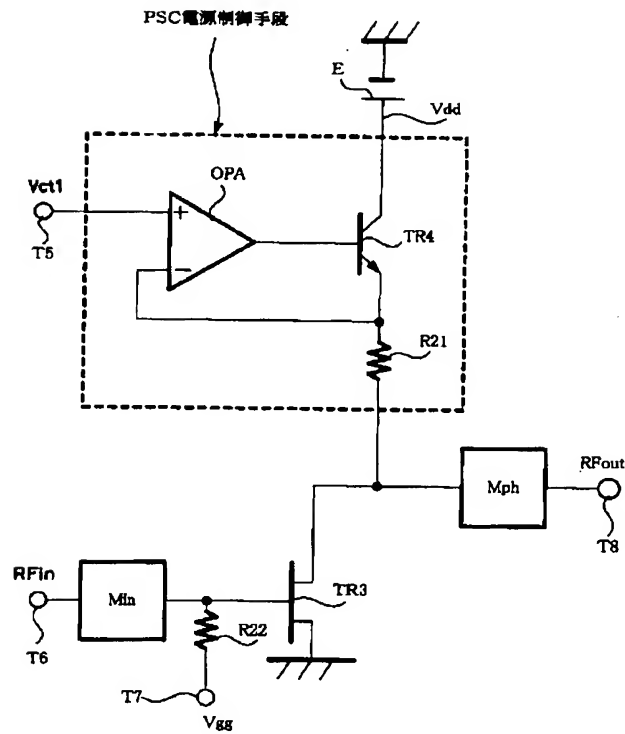


【図3】

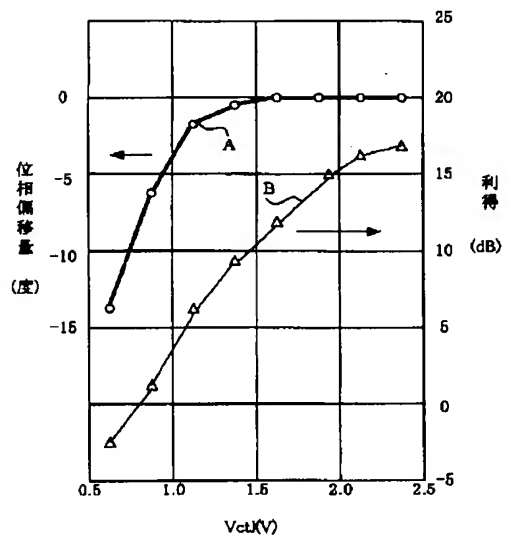


ロードプル

【図2】

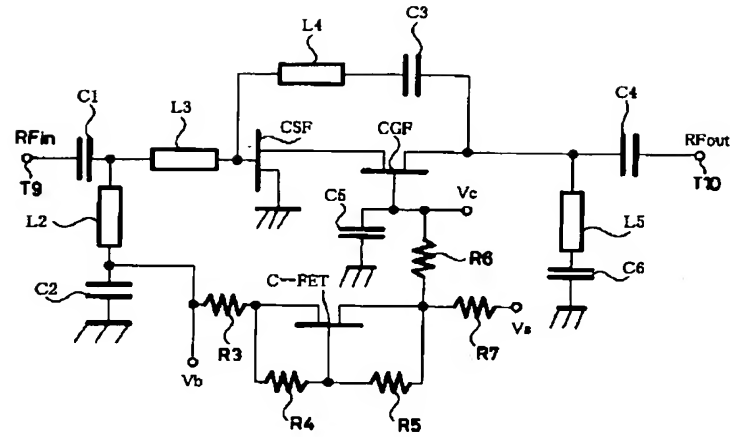


【図4】



制御電圧に対する利得変化と通過位相の偏移量の特性

【図5】



従来の利得制御装置

フロントページの続き

Fターム(参考) 5J092 AA01 AA13 CA01 CA26 CA36
 CA91 CA94 FA10 FA19 HA02
 HA09 HA13 HA25 KA01 KA12
 KA29 KA47 KA49 MA04 MA17
 MA21 SA14 TA01 TA05
 5J100 AA14 AA24 AA25 AA26 BA04
 BA07 BB01 BB03 BC02 DA06
 EA02 FA02